

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Wei-Chun Kung et. al
Application No. : 10/605,056
Filed : September 5, 2003
For : PROCESS AND STRUCTURE FOR SEMICONDUCTOR
PACKAGE
Examiner :

COMMISSIONER FOR PATENTS
2011 South Clark Place
Crystal Plaza Two, Lobby, Room 1B03
Arlington VA 22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:91120701,
filed on:09/11/2002.

A return prepaid postcard is also included herewith.

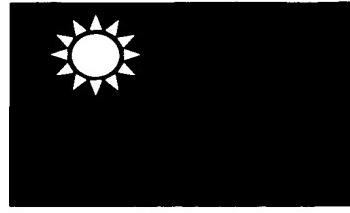
Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: NOV. 11, 2003

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2002 年 09 月 11 日
Application Date

申 請 案 號：091120701
Application No.

申 請 人：日月光半導體製造股份有限公司
Applicant(s)

局 長
Director General
蔡 練 生

發文日期：西元 2003 年 9 月 10 日
Issue Date

發文字號：09220917280
Serial No.

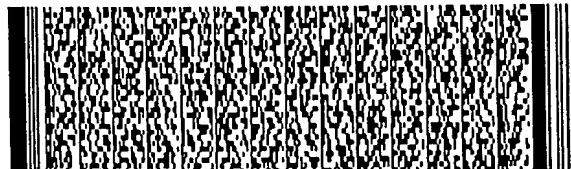
申請日期：	案號：
-------	-----

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	封裝製程及其結構
	英 文	Process and Structure for Semiconductor Package
二、 發明人	姓 名 (中文)	1. 龔衛群 2. 張良政
	姓 名 (英文)	1. Wei-Chun Kung 2. Liamh-Cheng Chang
三、 申請人	國 稷	1. 中華民國 2. 中華民國
	住、居所	1. 高雄市苓雅區英明路204巷9號2樓 2. 高雄市左營區曾子路59巷2弄16號
三、 申請人	姓 名 (名稱) (中文)	1. 日月光半導體製造股份有限公司
	姓 名 (名稱) (英文)	1. Advanced Semiconductor Engineering, Inc.
	國 稷	1. 中華民國
	住、居所 (事務所)	1. 高雄市楠梓加工出口區經三路26號
三、 申請人	代表人 姓 名 (中文)	1. 張虔生
	代表人 姓 名 (英文)	1. Chien-Sheng Chang

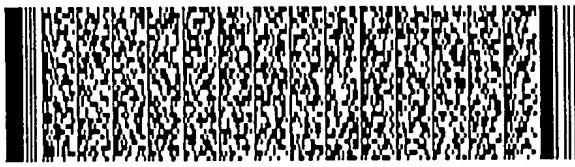


四、中文發明摘要 (發明之名稱：封裝製程及其結構)

一種封裝製程，依序包括：步驟一：提供一載板，該載板具有一上表面及對應之一下表面。步驟二：形成一光阻到該載板之該上表面上。步驟三：將該光阻定義出複數個光阻開口，以暴露出該載板。步驟四：將該載板定義出複數個開口，以貫穿該載板，而該些開口係分別與對應之該些光阻開口連通。步驟五：貼附一貼帶到該載板之該下表面上。步驟六：形成一導電體到該些開口中。步驟七：去除該光阻。步驟八：配置一晶片到該載板之該上表面上，並使該晶片與該導電體電性連接。步驟九：去除該貼帶。

英文發明摘要 (發明之名稱：Process and Structure for Semiconductor Package)

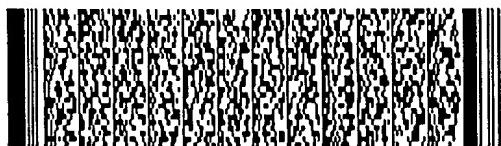
A semiconductor package process includes the following steps. First, a carrier is provided with an upper surface and a corresponding lower surface. Next, a photoresist is formed onto the upper surface of the carrier. Subsequently, a plurality of photoresist openings are defined through the photoresist to expose the carrier. Next, a plurality of openings are defined through the carrier and are respectively connected with the photoresist openings. Afterwards, a tape is



四、中文發明摘要 (發明之名稱：封裝製程及其結構)

英文發明摘要 (發明之名稱：Process and Structure for Semiconductor Package)

attached onto the lower surface of the carrier. Next, a conductive substance is filled into the openings. Subsequently, a chip is assembled onto the upper surface of the carrier and electrically connected therewith. Afterwards, the tape is removed from the lower surface of the carrier.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

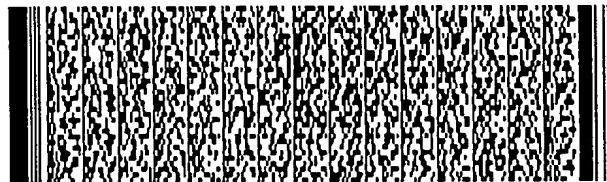
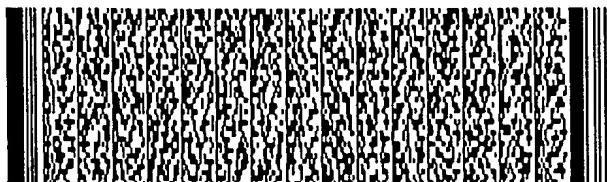
五、發明說明 (1)

本發明是有關於一種封裝製程及其結構，且特別是
有關於一種具有甚佳製程可靠度的封裝製程及其所對應的
封裝結構。

在現今資訊世代的社會下，電子產品以變成人類不
可或缺的日常用品，而電子產品的核心便是晶片，可以透
過一基板與其他晶片或被動元件電性連接，其中利用封裝
的製程可以使晶片固定到基板上，並與基板電性連接。因此，
多種封裝結構便相繼地研發出來，比如是球形晶片承
載器(ball chip carrier, BCC)封裝形式、軟片封裝形式
(film package)或四方扁平無接腳(quad flat no-lead,
QFN)封裝形式，其均具有甚佳的電性效能及散熱效率，廣
泛的應用在封裝領域中。

然而，在球形晶片承载器封裝形式中，最後必須利
用蝕刻的方式，將用來承载晶片封裝的承载器去除，由於
承载器係為銅，當銅蝕刻掉而排放到環境中之後，會造成
重金屬污染。再者，當蝕刻液調配不當時，往往會發生承
載器無法吃完全的情況，或者將端子表面的金層吃去甚多
的情況。

另外，在軟片封裝形式中，由於必須經過兩次迴焊
的步驟，軟片才會與一基板電性連接，其中一次係將焊球
植入到軟片上時，而另外一次係將軟片透過焊球固定到基
板上時，如此每迴焊一次均會增加軟片翹曲的程度。再
者，由於軟片甚薄，故相較於厚度甚厚的基板，軟片的翹
曲情形愈顯嚴重。



五、發明說明 (2)

此外，在四方扁平無接腳封裝形式中，接腳下方係透過一貼帶固定到一承载座上，然而由於貼帶係為軟性材質，故在進行打線製程時，打線頭會壓到接腳上，而造成接腳凹陷於貼帶中，使得接腳的位置偏移，形成翹翹板現象，導致打線頭無法精確地將導線打到接腳上，造成導線與接腳之間的接合性可靠度下降。

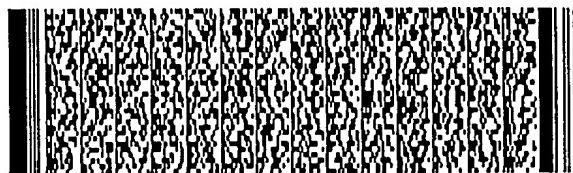
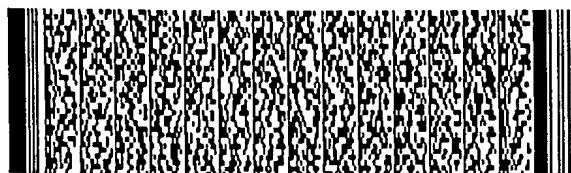
如上所述，在球形晶片承载器封裝形式、軟片封裝形式及四方扁平無接腳封裝形式中，均具有其製程上的缺失，因此本發明的目的之一就是在提供一種封裝製程，可以同時具有上述封裝結構的優點，然而卻可以避免上述封裝結構的缺點。

本發明的目的之二就是在提供一種封裝製程及其結構，可以避免蝕刻金屬的製程，而大幅降低重金屬的污染。

本發明的目的之三就是在提供一種封裝製程及其結構，可以具有甚佳的基板平面度。

本發明的目的之四就是在提供一種封裝製程及其結構，可以避免翹翹板的現象發生。

為達成本發明之上述和其他目的，提出一種封裝製程，依序包括：步驟一：提供一載板，該載板具有一上表面及對應之一下表面。步驟二：形成一光阻到該載板之該上表面上。步驟三：將該光阻定義出複數個光阻開口，以暴露出該載板。步驟四：將該載板定義出複數個開口，以貫穿該載板，而該些開口係分別與對應之該些光阻開口連



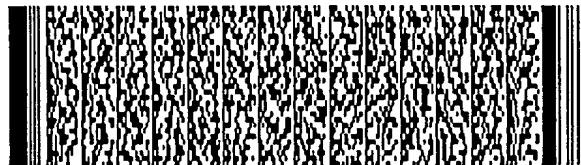
五、發明說明 (3)

通。步驟五：貼附一貼帶到該載板之該下表面上。步驟六：形成一導電體到該些開口中。步驟七：去除該光阻。步驟八：配置一晶片到該載板之該上表面上，並使該晶片與該導電體電性連接。步驟九：去除該貼帶。

依照本發明的一較佳實施例，其中在進行步驟六時，係以無電電鍍的方式，形成導電體到載板之開口中。而導電體的材質可以是銅或金；而導電體亦可以是由多層金屬複合層所構成，比如分別係由金層、鈀層、鎳層、鈀層疊合而成。

此外，依照本發明的一較佳實施例，其中導電體係定義出一晶片座及多個接點，而在進行步驟八時，晶片具有一主動表面及對應之一背面，並且晶片還具有多個晶片接點，晶片接點係配置在該主動表面上，而晶片係以其背面，藉由一黏著層貼附到該晶片座上，並透過多條導線使晶片與接點電性連接，而導線之一端係與接點電性連接，導線之另一端係與晶片接點電性連接，並且還形成一封裝材料以包覆晶片、導線及載板之上表面。

另外，依照本發明的一較佳實施例，其中導電體係定義出多個接點，而在進行步驟八時，晶片具有一主動表面及多個晶片接點，晶片接點係配置在主動表面上，晶片之主動表面係面向載板之上表面，而藉由多個凸塊將晶片固定到載板上，並與接點電性連接，每一凸塊之一端係與晶片接點之一接合，而每一凸塊之另一端係與接點之一接合。而在藉由凸塊將晶片固定到載板上之後，還形成一膠



五、發明說明 (4)

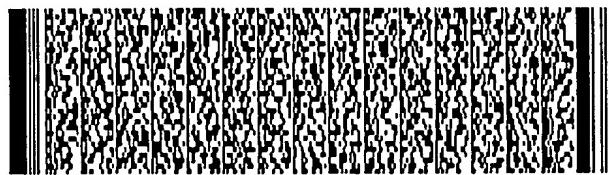
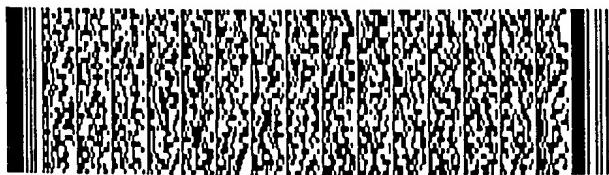
層到晶片與載板之間，且膠層係包覆凸塊。

再者，依照本發明的一較佳實施例，利用上述的製程還可以製作具有多層載板的基板，應用於本發明中。

為達成本發明之上述和其他目的，還提出一種封裝製程，依序包括：步驟一：提供一載板，載板具有一上表面及對應之一下表面。步驟二：形成至少一開口，以貫穿載板。步驟三：貼附一貼帶到載板之下表面上。步驟四：形成一導電體到載板之上表面上及載板之開口中。步驟五：定義導電體的圖案。步驟六：配置一晶片到載板之上表面上，並使晶片與導電體電性連接。步驟七：去除貼帶。

為達成本發明之上述和其他目的，還提出一種封裝結構，適於配置在一印刷電路板上，封裝結構至少包括一基板及一晶片。基板具有至少一載板及一導電體，載板具有至少一開口，開口係貫穿載板，導電體係填滿於載板之開口中，而基板係藉由表面黏著技術與印刷電路板接合，並與印刷電路板電性連接。晶片係配置在基板上，並與基板電性連接。

綜上所述，本發明之封裝製程及其結構，並未利用蝕刻金屬的製程，因此可以大幅降低對環境的污染。另外，由於接點的周圍具有載板支撐住，因此在進行打線製程中，當打線頭壓到接點上時，可以避免接點陷落於貼帶中，造成翹翹板現象，因此打線頭可以精確地將導線打到接點上，故導線與接點之間具有甚高的接合性。



五、發明說明 (5)

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之標示說明：

100：封裝結構體

102：基板

110：載板

112：上表面

114：下表面

116：開口

120：光阻

122：光阻開口

130：貼帶

140：導電體

142：晶片座

144：接點

146：表面

150：黏著層

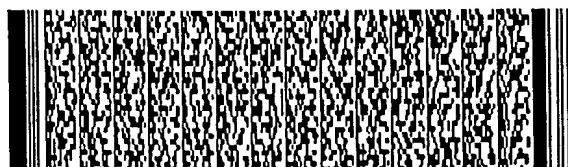
152：貼帶

160：晶片

162：主動表面

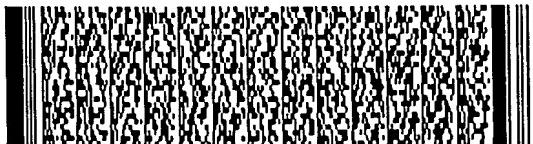
164：背面

166：晶片接點



五、發明說明 (6)

- 170 : 導線
- 180 : 封裝材料
- 200 : 印刷電路板
- 202 : 接點
- 204 : 散熱墊
- 210 : 焊料
- 300 : 封裝結構體
- 302 : 基板
- 310 : 載板
- 312 : 上表面
- 314 : 下表面
- 316 : 開口
- 320 : 光阻
- 322 : 光阻開口
- 340 : 導電體
- 360 : 晶片
- 362 : 主動表面
- 364 : 晶片接點
- 370 : 凸塊
- 380 : 膠層
- 500 : 封裝結構體
- 502 : 基板
- 510 : 載板
- 512 : 開口

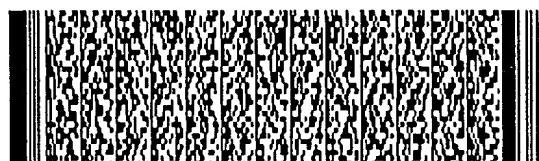
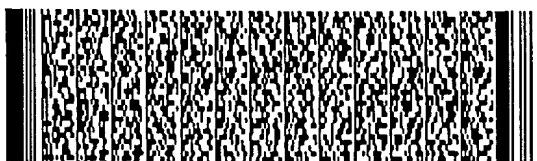


五、發明說明 (7)

- 520：光阻
- 522：光阻開口
- 540：導電體
- 544：接點
- 580：導電體
- 582：晶片座
- 584：接點
- 590：焊罩層
- 592：第一開口
- 594：第二開口

實施例

請參照第1圖至第11圖，其繪示依照本發明第一較佳實施例之封裝製程的剖面放大示意圖。請先參照第1圖，首先係提供一載板110，載板之材質比如是玻璃環氧基樹脂、雙順丁烯二酸醯亞胺、聚亞醯胺或環氧樹脂等，載板110具有一上表面112及對應之下表面114，接著可以旋塗的方式，塗上一光阻120到載板110上，並利用曝光顯影的方式，將一圖案(未繪示)轉移到光阻120上，使得光阻120會形成有多個光阻開口122，以暴露出載板110。接下來，便進行蝕刻的製程，其係以光阻120為蝕刻罩壁來蝕刻載板110，使光阻開口122之圖案轉移到載板110上，而在蝕刻之後，載板110會形成有多個開口116，載板110之開口116的圖案及位置係對應於光阻開口122之圖案及位

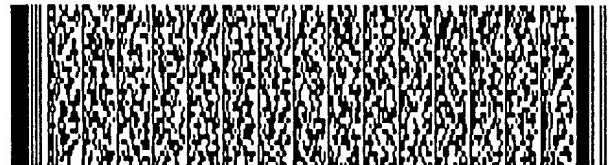
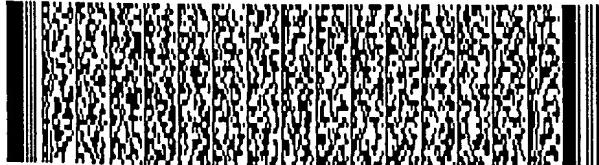


五、發明說明 (8)

置，載板110之開口116會與光阻開口122連通，而形成如第2圖所示的樣式。

請參照第3圖，接著便在載板110之下表面114上貼上一貼帶130。之後，便填入一導電體140到載板110之開口116中，而形成如第4圖所示的樣式，其中導電體140的材質比如是銅或金，其可以利用無電電鍍的方式，將銅或金填入到載板110之開口116中；而導電體140亦可以由多層金屬複合層所構成，比如是分別由金層、鈀層、鎳層、鈀層疊合而成，在較佳的情況下，導電體140係填滿於載板110之開口116中。導電體140係定義出一晶片座142及多個接點144，接點144係位在晶片座142的周圍。接著，便將光阻120從載板110之上表面112上去除，而形成如第5圖所示的樣式。此時，若是將貼帶130從載板110上去除之後，則基板102便製作完成，而形成如第5A圖所示的樣式，在本實施例中，基板102係由一層載板110及導電體140所構成。

然而亦可以不將貼帶從載板上去除，直接進行接下來的封裝製程，直到最後才將貼帶去除。請參照第6圖，接著可以利用網板印刷或點膠的方式，形成一黏著層150到晶片座142上。請參照第7圖，接著便提供一晶片160，晶片160具有一主動表面162及對應之一背面164，並且晶片160還具有多個晶片接點166，係配置在晶片160的主動表面162上，而晶片160係以其背面164，藉由黏著層150貼附到晶片座142上。然而，請參照第6A圖，若是在形成黏

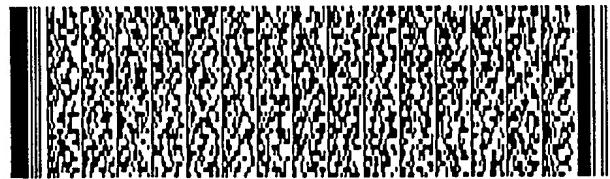
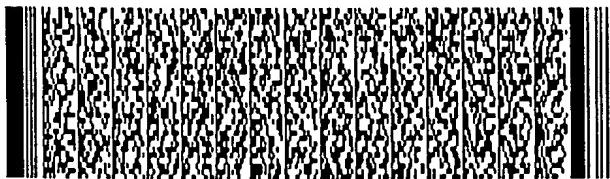


五、發明說明 (9)

著層150到晶片座142上之後，必須經過很久的時間才會貼附上晶片160時，則可以在黏著層150固化之後，將一貼帶152貼附到黏著層150上及載板110之上表面112上，如此可以防止黏著層150受到污染，直到要貼附上晶片160時，才將貼帶152從載板110上及黏著層150上去除，並加熱晶片160及載板110，使黏著層150受熱軟化，此時藉由黏著層150便可以將晶片160黏附到晶片座142上。

請參照第8圖，接下來便進行打線製程，而可以透過多條導線170使晶片接點166與接點144電性連接，而導線170之一端係與接點144電性連接，導線之另一端係與晶片接點166電性連接。請參照第9圖，之後便進行一封模製程，以形成一封裝材料180包覆導線170、晶片160及載板110之上表面112。接著，便將貼帶130從載板110之下表面114上去除，而形成如第10圖所示的樣式，由於貼帶130係在最後階段才從載板110上去除，因此可以避免接點144的表面146在進行前段的製程時，受到污染。如此，封裝結構體100便製作完成。

請參照第11圖，接著可以利用表面黏著技術(Surface Mount Technology, SMT)，將封裝結構體100裝配到印刷電路板200上。其係先以網板印刷的方式，將焊料210塗佈到印刷電路板200的接點202上及散熱墊204上，接著再將封裝結構體100配置到印刷電路板200上，而封裝結構體100係藉由焊料210暫時地黏附在印刷電路板200上。接下來，再進行一次迴焊的步驟，使焊料210受熱固



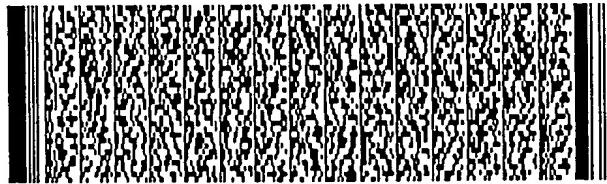
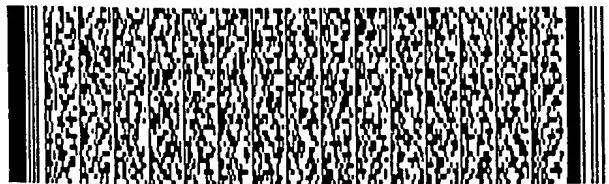
五、發明說明 (10)

化，如此便能將封裝結構體100牢固地固定到印刷電路板200上。因此，藉由散熱墊204可以將晶片160所產生的熱快速地傳導至外界。另外，此種封裝結構體100亦具有甚佳的導電性。

在上述的實施例中，並未利用蝕刻金屬的製程，因此本發明可以大幅降低對環境的污染。再者，本發明係僅利用一次迴焊的步驟，因此可以避免基板102發生嚴重的翹曲情形，故基板102具有甚佳的平面度。另外，由於接點144的周圍具有載板110支撐住，因此在進行打線製程中，當打線頭壓到接點144上時，可以避免接點144陷落於貼帶130中，造成翹翹板現象，因此打線頭可以精確地將導線170打到接點144上，故導線170與接點144之間具有甚高的接合性。

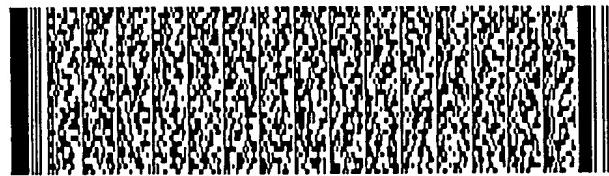
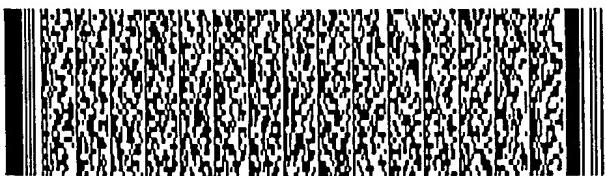
在上述的實施例中，基板係由一層載板所構成，並且係藉由導線使晶片與基板電性連接，然而本發明並非僅限於上述的應用。在本發明之第二較佳實施例中，基板亦可以是由多層載板所構成，而其電性連接的方式亦可以是藉由凸塊使晶片與基板電性連接，其詳細說明如下。

第12圖至第18圖係繪示依照本發明第二較佳實施例之封裝製程的剖面放大示意圖。首先請參照第12圖，其中形成第一層載板110、貼帶130及導電體140的製程係如前述之第1圖至第5圖的說明，在此便不再贅述。接下來便進行製作第二層載板之製程，其可以利用熱壓合或旋塗固化的形式形成另一載板310到載板110之上表面112上，而載



五、發明說明 (11)

板310具有一上表面312及對應之一下表面314。接著，可以旋塗的方式，塗上一光阻220到載板310之上表面312上，並利用曝光顯影的方式，將一圖案(未繪示)轉移到光阻320上，使得光阻320會形成有多個光阻開口322，以暴露出載板310，而形成如第13圖所示的樣式。接下來，便進行蝕刻的製程，其係以光阻320為蝕刻罩壁來蝕刻載板310，使光阻開口322之圖案轉移到載板310上，而在蝕刻之後，載板310會形成有多個開口316，載板310之開口316的圖案及位置係對應於光阻開口322之圖案及位置，載板310之開口316會與光阻開口322連通，而形成如第14圖所示的樣式。之後，便填入一導電體340到載板310之開口316中，而形成如第15圖所示的樣式，其中導電體340比如是銅或金，其可以利用無電電鍍的方式，將銅或金填入到載板310之開口316中；而導電體340亦可以由多層金屬複合層所構成，比如是分別由金層、鈀層、鎳層、鈀層疊合而成，在較佳的情況下，導電體340係填滿於載板310之開口316中。導電體340係定義為多個接點，透過接點340可以與外界電路電性連接。接著，便將光阻320從載板310上去除，而形成如第16圖所示的樣式。此時，若是將貼帶130從載板110上去除之後，則基板302便製作完成，而形成如第16A圖所示的樣式，在本實施例中，基板302可以由二層載板110、310及導電體140、340所構成。然而一直重複上述的製程可以製作出具有二層載板以上的基板，其製程係雷同於上述的說明，在此便不再贅述。

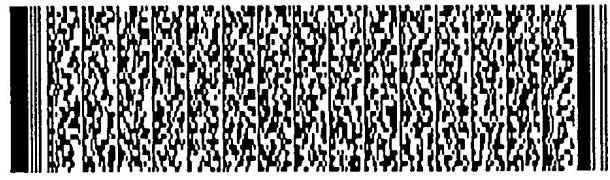
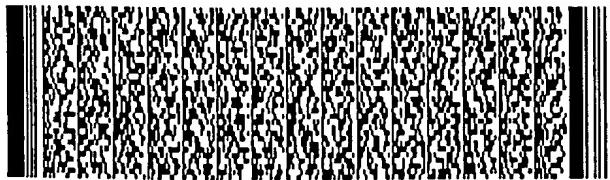


五、發明說明 (12)

另外，亦可以不將貼帶從載板上去除，直接進行接下來的封裝製程，直到最後才將貼帶去除。請參照第17圖，接下來便進行覆晶製程，當覆晶製程完成之後，晶片360係藉由多個凸塊370固定於基板302上，並與其電性連接。晶片360具有一主動表面362及多個晶片接點364，晶片接點364係配置在主動表面362上，晶片360之主動表面362係面向基板302，而藉由多個凸塊370可以將晶片360固定到基板302上，並與基板302之接點340電性連接，凸塊370之一端係與晶片接點364接合，而凸塊370之另一端係與基板302之接點340接合。在藉由凸塊370將晶片360固定到基板302上之後，還形成一膠層380到晶片360與基板302之間，且膠層380會包覆凸塊370。接著，便將貼帶130從基板302上去除，而形成如第18圖所示的樣式，由於貼帶130係在最後階段才從基板302上去除，因此可以避免位在最下層載板110之開口116中的導電體140，在進行前述製程時，其表面146受到污染。如此，封裝結構體300便製作完成。

在上述製程中，係在去除光阻之前，將導電體形成在載板的開口中，然而本發明之封裝製程的並非僅限於上述步驟，亦可以在去除光阻之後，才將導電體形成在載板的開口中及載板上，如第19圖到第27圖所示，其繪示依照本發明第三較佳實施例之封裝製程的剖面放大示意圖。

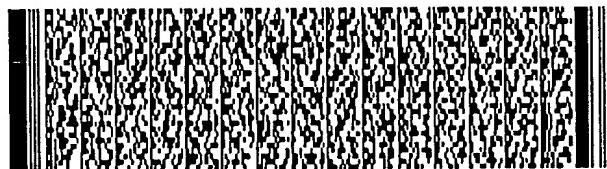
請先參照第2圖，在藉由光阻120定義出載板110之開口116後，便將光阻120從載板110上去除，之後還在載板



五、發明說明 (13)

110 之下表面 114 上貼上一貼帶 130，形成如第 19 圖所示的結構。接下來，比如可以利用無電電鍍的方式，形成一導電體 540 到載板 110 的開口 116 中及載板 110 的上表面 112 上，而形成如第 20 圖所示的結構，其中導電體 540 會填滿於載板 110 的開口 116 中，而導電體 540 的材質比如是銅或金，或者導電體 540 亦可以是由多層金屬複合層所構成，比如是分別由金層、鈀層、鎳層、鈀層疊合而成。接下來，便進行微影製程，其係先形成一光阻 520 到導電體 540 上，並利用曝光顯影的方式，將一圖案(未繪示)轉移到光阻 520 上，使得光阻 520 會形成有多個光阻開口 522，以暴露出導電體 540，形成如第 21 圖所示的結構。接下來，便進行蝕刻的製程，其係以光阻 520 為蝕刻罩壁來蝕刻導電體 540，使光阻開口 522 之圖案轉移到導電體 540 上，而在蝕刻之後，導電體 540 的圖案及位置係對應於光阻 520 之圖案及位置，形成如第 22 圖所示的結構。

接下來，可以再利用熱壓合或旋塗固化的方式形成另一載板 510 到載板 110 之上表面 112 上及導電體 540 上，形成如第 23 圖所示的結構。接下來，可以重複進行前述之導電體的製作步驟，而形成另一導電體 580 到載板 510 之開口 512 中、載板 510 上及導電體 540 上，如第 24 圖所示。然後，可以選擇性地形成一焊罩層 590 到載板 510 上及導電體 580 上，並且還將焊罩層 590 定義出一第一開口 592 及多個第二開口 594，透過第一開口 592 及第二開口 594 可以暴露出導電體 580，其中透過第一開口 592 所暴露出導電體 580



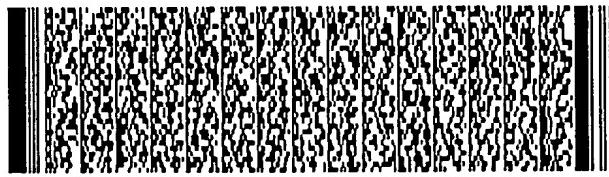
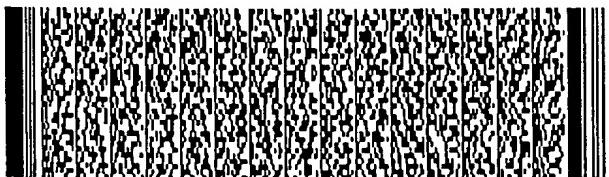
五、發明說明 (14)

的區域係定義為晶片座582，而透過第二開口594所暴露出導電體580的區域係定義為接點584，如第25圖所示。此時，若是將貼帶130從載板110上去除之後，則基板502便製作完成，而形成如第25A圖所示的樣式。

然而亦可以不將貼帶從載板上去除，直接進行接下來的封裝製程，直到最後才將貼帶去除，其詳細步驟如第一實施例所述，在此便不再贅述，其封裝完成的結構如第26圖所示。接著，便將貼帶130從載板110之下表面114上去除，而形成如第27圖所示的樣式，由於貼帶130係在最後階段才從載板110上去除，因此可以避免接點544暴露於外的表面在進行前段製程時，受到污染。如此，封裝結構體500便製作完成，而透過接點544，比如可以利用前述的表面黏著技術，將封裝結構體500裝配到印刷電路板上。

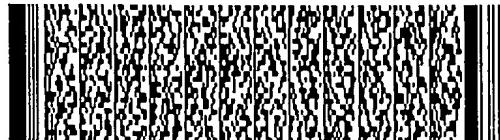
綜上所述，本發明至少具有下列優點：

1. 本發明之封裝製程及其結構，並未利用蝕刻金屬的製程，因此可以大幅降低對環境的污染。
2. 本發明之封裝製程及其結構，係僅利用一次迴焊的步驟，因此可以避免基板發生嚴重的翹曲情形，故基板具有甚佳的平面度。
3. 本發明之封裝製程及其結構，由於接點的周圍具有載板支撐住，因此在進行打線製程中，當打線頭壓到接點上時，可以避免接點陷落於貼帶中，造成翹翹板現象，因此打線頭可以精確地將導線打到接點上，故導線與接點之間具有甚高的接合性。



五、發明說明 (15)

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

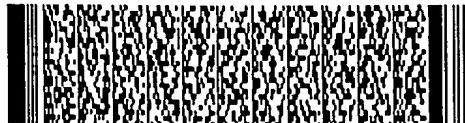


圖式簡單說明

第1圖至第11圖，其繪示依照本發明第一較佳實施例之封裝製程的剖面放大示意圖。

第12圖至第18圖係繪示依照本發明第二較佳實施例之封裝製程的剖面放大示意圖。

第19圖到第27圖繪示依照本發明第三較佳實施例之封裝製程的剖面放大示意圖。



六、申請專利範圍

1. 一種封裝製程，至少包括：

步驟一：提供一載板，該載板具有一上表面及對應之一下表面；

步驟二：形成一光阻到該載板之該上表面上；

步驟三：將該光阻定義出複數個光阻開口，以暴露該載板；

步驟四：將該載板定義出複數個開口，以貫穿該載板，而該些開口係分別與對應之該些光阻開口連通；

步驟五：貼附一貼帶到該載板之該下表面上；

步驟六：形成一導電體到該些開口中；

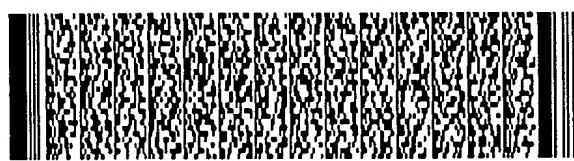
步驟七：去除該光阻；

步驟八：配置一晶片到該載板之該上表面上，並使該晶片與該導電體電性連接；以及

步驟九：去除該貼帶。

2. 如申請專利範圍第1項所述之封裝製程，其中在進行步驟六時，係以無電電鍍的方式，形成該導電體到該些開口中。

3. 如申請專利範圍第1項所述之封裝製程，其中該導電體係定義出一晶片座及複數個接點，而在進行步驟八時，該晶片具有一主動表面及對應之一背面，並且該晶片還具有複數個晶片接點，該些晶片接點係配置在該主動表面上，而該晶片係以其該背面，藉由一黏著層貼附到該晶片座上，並透過複數條導線使該些晶片接點與該接點電性連接，而每一該些導線之一端係與該些接點之一電性連



六、申請專利範圍

接，每一該些導線之另一端係與該些晶片接點之一電性連接，並且還形成一封裝材料以包覆該晶片、該些導線及該載板之該上表面。

4. 如申請專利範圍第1項所述之封裝製程，其中該導電體係定義出複數個接點，而在進行步驟八時，該晶片有一主動表面及複數個晶片接點，該些晶片接點係配置在該主動表面上，該晶片之該主動表面係面向該載板之該上表面，而藉由複數個凸塊將該晶片固定到該載板上，並與該些接點電性連接，每一該些凸塊之一端係與該些晶片接點之一接合，而每一該些凸塊之另一端係與該些接點之一接合。

5. 如申請專利範圍第4項所述之封裝製程，其中在藉由該些凸塊將該晶片固定到該載板上之後，還形成一膠層到該晶片與該載板之間，且該膠層係包覆該些凸塊。

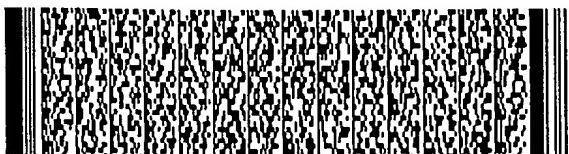
6. 如申請專利範圍第1項所述之封裝製程，其中在進行步驟七之後，還進行下列步驟，以形成具有多層載板之一基板，該些步驟包括：

步驟A：形成另一載板到已製作完成的該載板上，該另一載板具有一上表面及對應之一下表面，而該另一載板之該下表面會接觸已製作完成的該載板之該上表面；

步驟B：形成一光阻到該另一載板之該上表面上；

步驟C：將該光阻定義出複數個光阻開口，以暴露出該另一載板；

步驟D：將該另一載板定義出複數個開口，以貫穿該



六、申請專利範圍

另一載板，而該另一載板之該些開口係分別與對應之該些光阻開口連通；

步驟E：形成另一導電體到該另一載板之該些開口中；以及

步驟F：去除該光阻。

7. 如申請專利範圍第6項所述之封裝製程，其中重複步驟A至步驟F複數次，以形成具有多層該些載板之一基板。

8. 如申請專利範圍第1項所述之封裝製程，其中該導電體的材質包括銅。

9. 如申請專利範圍第1項所述之封裝製程，其中該導電體的材質包括金。

10. 如申請專利範圍第1項所述之封裝製程，其中該導電體係由多層金屬複合層所構成。

11. 如申請專利範圍第10項所述之封裝製程，其中該導電體係分別由金層、鈀層、鎳層、鈀層疊合而成。

12. 如申請專利範圍第1項所述之封裝製程，其中該載板之材質係選自於由玻璃環氧基樹脂、雙順丁烯二酸醯亞胺、聚亞醯胺及環氧樹脂所組成族群中的一種材質。

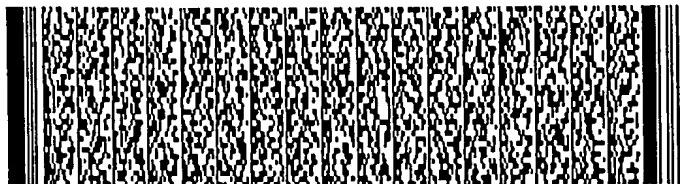
13. 一種封裝製程，至少包括：

步驟一：提供一載板；

步驟二：形成至少一開口，以貫穿該載板；

步驟三：貼附一貼帶到該載板上；

步驟四：形成一導電體到該開口中；



六、申請專利範圍

步驟五：配置一晶片到該載板之該上表面上，並使該晶片與該導電體電性連接；以及

步驟六：去除該貼帶。

14. 如申請專利範圍第13項所述之封裝製程，其中在進行步驟四時，係以無電電鍍的方式，形成該導電體到該些開口中。

15. 如申請專利範圍第13項所述之封裝製程，其中在進行步驟四之後，還進行下列步驟，以形成具有多層載板之一基板，該些步驟包括：

步驟A：形成另一載板到已製作完成的該載板上，該另一載板具有一上表面及對應之一下表面；

步驟B：將該另一載板定義出至少一開口，以貫穿該另一載板；以及

步驟C：形成另一導電體到該另一載板之該開口中。

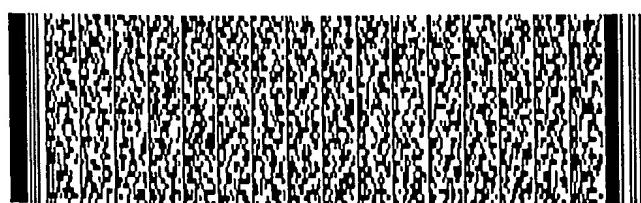
16. 如申請專利範圍第15項所述之封裝製程，其中重複步驟A至步驟C複數次，以形成具有多層該些載板之一基板。

17. 如申請專利範圍第13項所述之封裝製程，其中該導電體的材質包括銅。

18. 如申請專利範圍第13項所述之封裝製程，其中該導電體的材質包括金。

19. 如申請專利範圍第13項所述之封裝製程，其中該導電體係由多層金屬複合層所構成。

20. 如申請專利範圍第19項所述之封裝製程，其中該



六、申請專利範圍

導電體係分別由金層、鈀層、鎳層、鈀層疊合而成。

21. 如申請專利範圍第13項所述之封裝製程，其中該載板之材質係選自於由玻璃環氧基樹脂、雙順丁烯二酸醯亞胺、聚亞醯胺及環氧樹脂所組成族群中的一種材質。

22. 一種基板製程，至少包括：

步驟一：提供一載板，該載板具有一上表面及對應之一下表面；

步驟二：形成一光阻到該載板之該上表面上；

步驟三：將該光阻定義出複數個光阻開口，以暴露該載板；

步驟四：將該載板定義出複數個開口，以貫穿該載板，而該些開口係分別與對應之該些光阻開口連通；

步驟五：貼附一貼帶到該載板之該下表面上；

步驟六：形成一導電體到該些開口中；

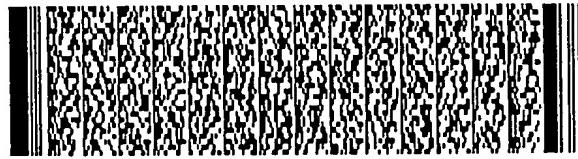
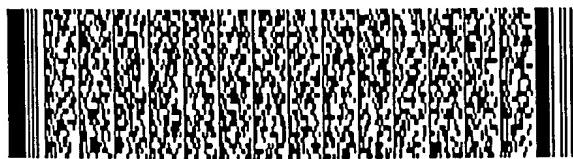
步驟七：去除該光阻；以及

步驟八：去除該貼帶。

23. 如申請專利範圍第22項所述之基板製程，其中在進行步驟六時，係以無電電鍍的方式，形成該導電體到該些開口中。

24. 如申請專利範圍第22項所述之基板製程，其中在進行步驟七之後，還進行下列步驟，以形成具有多層載板之該基板，該些步驟包括：

步驟A：形成另一載板到已製作完成的該載板上，該另一載板具有一上表面及對應之一下表面，而該另一載板



六、申請專利範圍

之該下表面會接觸已製作完成的該載板之該上表面；

步驟B：形成一光阻到該另一載板之該上表面上；

步驟C：將該光阻定義出複數個光阻開口，以暴露出該另一載板；

步驟D：將該另一載板定義出複數個開口，以貫穿該另一載板，而該另一載板之該些開口係分別與對應之該些光阻開口連通；

步驟E：形成另一導電體到該另一載板之該些開口中；以及

步驟F：去除該光阻。

25. 如申請專利範圍第24項所述之基板製程，其中重複步驟A至步驟F複數次，以形成具有多層該些載板之該基板。

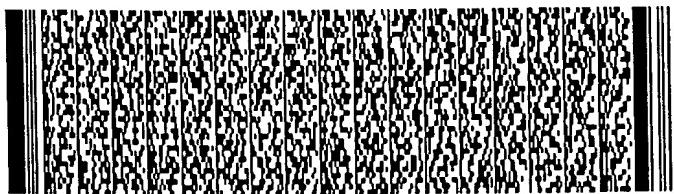
26. 如申請專利範圍第24項所述之基板製程，其中該導電體的材質包括銅。

27. 如申請專利範圍第24項所述之基板製程，其中該導電體的材質包括金。

28. 如申請專利範圍第24項所述之基板製程，其中該導電體係由多層金屬複合層所構成。

29. 如申請專利範圍第28項所述之基板製程，其中該導電體係分別由金層、鈀層、鎳層、鈀層疊合而成。

30. 如申請專利範圍第22項所述之基板製程，其中該載板之材質係選自於由玻璃環氧基樹脂、雙順丁烯二酸醯亞胺、聚亞醯胺及環氧樹脂所組成族群中的一種材質。



六、申請專利範圍

31. 一種基板製程，至少包括：

步驟一：提供一載板；

步驟二：形成至少一開口，以貫穿該載板；

步驟三：貼附一貼帶到該載板上；

步驟四：形成一導電體到該開口中；以及

步驟五：去除該貼帶。

32. 如申請專利範圍第31項所述之基板製程，其中在進行步驟四時，係以無電電鍍的方式，形成該導電體到該些開口中。

33. 如申請專利範圍第31項所述之基板製程，其中在進行步驟四之後，還進行下列步驟，以形成具有多層載板之一基板，該些步驟包括：

步驟A：形成另一載板到已製作完成的該載板上；

步驟B：將該另一載板定義出至少一開口，以貫穿該另一載板；以及

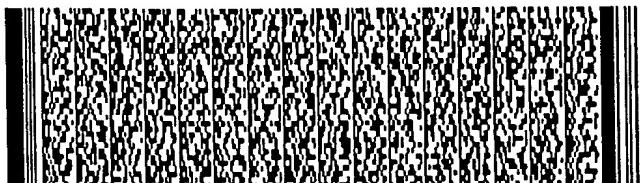
步驟C：形成另一導電體到該另一載板之該開口中。

34. 如申請專利範圍第33項所述之基板製程，其中重複步驟A至步驟C複數次，以形成具有多層載板之一基板。

35. 如申請專利範圍第31項所述之基板製程，其中該導電體的材質包括銅。

36. 如申請專利範圍第31項所述之基板製程，其中該導電體的材質包括金。

37. 如申請專利範圍第31項所述之基板製程，其中該導電體係由多層金屬複合層所構成。



六、申請專利範圍

38. 如申請專利範圍第37項所述之基板製程，其中該導電體係分別由金層、鈀層、鎳層、鈀層疊合而成。

39. 如申請專利範圍第31項所述之基板製程，其中該載板之材質係選自於由玻璃環氧基樹脂、雙順丁烯二酸醯亞胺、聚亞醯胺及環氧樹脂所組成族群中的一種材質。

40. 一種封裝製程，至少包括：

步驟一：提供一載板，該載板具有一上表面及對應之一下表面；

步驟二：形成至少一開口，以貫穿該載板；

步驟三：貼附一貼帶到該載板之該下表面上；

步驟四：形成一導電體到該載板之該上表面上及該開口中；

步驟五：定義該導電體的圖案；

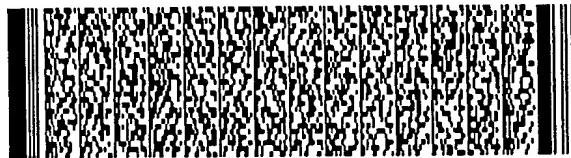
步驟六：配置一晶片到該載板之該上表面上，並使該晶片與該導電體電性連接；以及

步驟七：去除該貼帶。

41. 如申請專利範圍第40項所述之封裝製程，其中在進行步驟四時，係以無電電鍍的方式形成該導電體。

42. 如申請專利範圍第40項所述之封裝製程，其中在進行步驟五之後，還進行下列步驟，以形成具有多層載板之一基板，該些步驟包括：

步驟A：形成另一載板到已製作完成的該載板之該上表面上及已製作完成的該導電體上，該另一載板具有一上表面及對應之一下表面，而該另一載板之該下表面會接觸



六、申請專利範圍

已製作完成的該載板之該上表面；

步驟B：將該另一載板定義出至少一開口，以貫穿該另一載板；

步驟C：形成另一導電體到該另一載板之該開口中及該另一載板之該上表面上；以及

步驟D：定義該另一導電體的圖案。

43. 如申請專利範圍第42項所述之封裝製程，其中重複步驟A至步驟D複數次，以形成具有多層該些載板之一基板。

44. 如申請專利範圍第40項所述之封裝製程，其中該導電體的材質包括銅。

45. 如申請專利範圍第40項所述之封裝製程，其中該導電體的材質包括金。

46. 如申請專利範圍第40項所述之封裝製程，其中該導電體係由多層金屬複合層所構成。

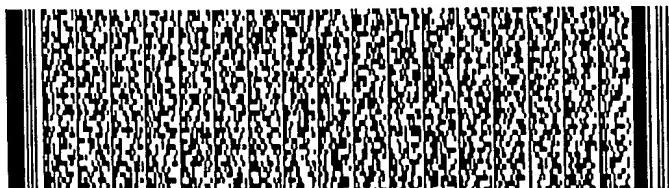
47. 如申請專利範圍第46項所述之封裝製程，其中該導電體係分別由金層、鈀層、鎳層、鈀層疊合而成。

48. 如申請專利範圍第40項所述之封裝製程，其中該載板之材質係選自於由玻璃環氧基樹脂、雙順丁烯二酸醯亞胺、聚亞醯胺及環氧樹脂所組成族群中的一種材質。

49. 一種基板製程，至少包括：

步驟一：提供一載板，該載板具有一上表面及對應之一下表面；

步驟二：形成至少一開口，以貫穿該載板；



六、申請專利範圍

步驟三：貼附一貼帶到該載板之該下表面上；

步驟四：形成一導電體到該開口中及該載板之該上表面上；

步驟五：定義該導電體的圖案；以及

步驟六：去除該貼帶。

50. 如申請專利範圍第49項所述之基板製程，其中在進行步驟四時，係以無電電鍍的方式形成該導電體。

51. 如申請專利範圍第49項所述之基板製程，其中在進行步驟五之後，還進行下列步驟，以形成具有多層載板之一基板，該些步驟包括：

步驟A：形成另一載板到已製作完成的該載板之該上表面上及已製作完成的該導電體上，該另一載板具有一上表面及對應之一下表面，而該另一載板之該下表面會接觸已製作完成的該載板之該上表面；

步驟B：將該另一載板定義出至少一開口，以貫穿該另一載板；

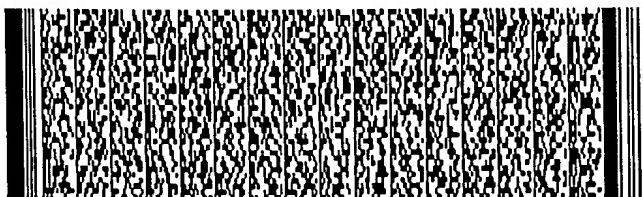
步驟C：形成另一導電體到該另一載板之該開口中及該另一載板之該上表面上；以及

步驟D：定義該另一導電體的圖案。

52. 如申請專利範圍第51項所述之基板製程，其中重複步驟A至步驟D複數次，以形成具有多層載板之一基板。

53. 如申請專利範圍第49項所述之基板製程，其中該導電體的材質包括銅。

54. 如申請專利範圍第49項所述之基板製程，其中該



六、申請專利範圍

導電體的材質包括金。

55. 如申請專利範圍第49項所述之基板製程，其中該導電體係由多層金屬複合層所構成。

56. 如申請專利範圍第55項所述之基板製程，其中該導電體係分別由金層、鈀層、鎳層、鈀層疊合而成。

57. 如申請專利範圍第49項所述之基板製程，其中該載板之材質係選自於由玻璃環氧基樹脂、雙順丁烯二酸醯亞胺、聚亞醯胺及環氧樹脂所組成族群中的一種材質。

58. 一種封裝結構，適於配置在一印刷電路板上，該封裝結構至少包括：

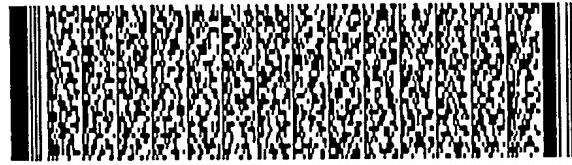
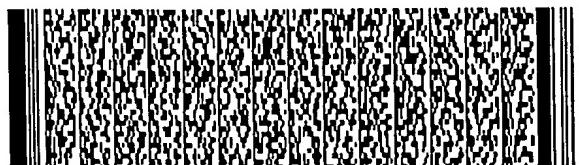
一基板，具有至少一載板及一導電體，該載板具有至少一開口，該開口貫穿該載板，而該導電體係填滿於該開口中，該基板係藉由表面黏著技術與該印刷電路板接合，並與該印刷電路板電性連接；以及

一晶片，配置在該基板上，並與該基板電性連接。

59. 如申請專利範圍第58項所述之封裝結構，其中該導電體係定義出一晶片座及至少一接點，而該晶片具有一主動表面及對應之一背面，並且該晶片還具有複數個晶片接點，該些晶片接點係配置在該主動表面上，該封裝結構還包括：

一黏著層，係位在該晶片座上，該晶片係以其該背面，藉由該黏著層貼附到該晶片座上；

複數條導線，每一該些導線之一端係與該些接點之一電性連接，每一該些導線之另一端係與該些晶片接點之



六、申請專利範圍

一 電性連接；以及

一封裝材料，包覆該晶片、該些導線及該載板之該上表面。

60. 如申請專利範圍第58項所述之封裝結構，其中該導電體係定義出複數個接點，而該晶片具有一主動表面及複數個晶片接點，該些晶片接點係配置在該主動表面上，該晶片之該主動表面係面向該載板之該上表面，而該封裝結構還包括複數個凸塊，每一該些凸塊之一端係與該些晶片接點之一接合，而每一該些凸塊之另一端係與該些接點之一接合。

61. 如申請專利範圍第60項所述之封裝結構，其中該封裝結構還包括一膠層，位在該晶片與該載板之間，且該膠層係包覆該些凸塊。

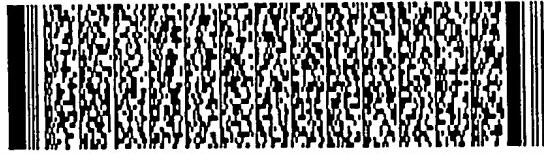
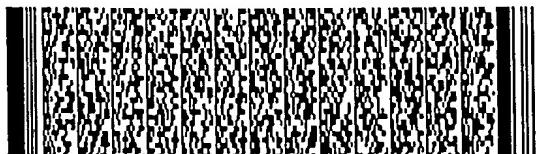
62. 如申請專利範圍第58項所述之封裝結構，其中該導電體的材質包括銅。

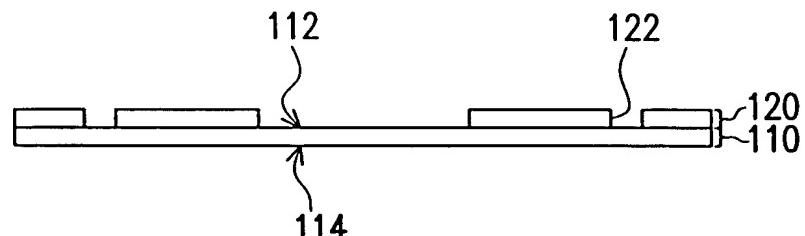
63. 如申請專利範圍第58項所述之封裝結構，其中該導電體的材質包括金。

64. 如申請專利範圍第58項所述之封裝結構，其中該導電體係由多層金屬複合層所構成。

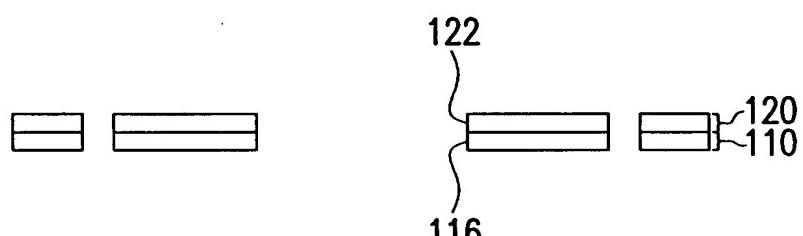
65. 如申請專利範圍第64項所述之封裝結構，其中該導電體係分別由金層、鈀層、鎳層、鈀層疊合而成。

66. 如申請專利範圍第58項所述之封裝結構，其中該載板之材質係選自於由玻璃環氧基樹脂、雙順丁烯二酸醯亞胺、聚亞醯胺及環氧樹脂所組成族群中的一種材質。

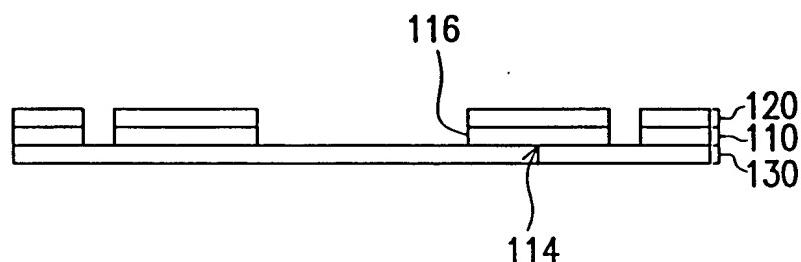




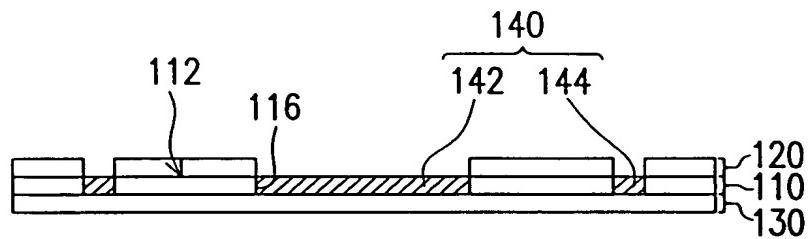
第 1 圖



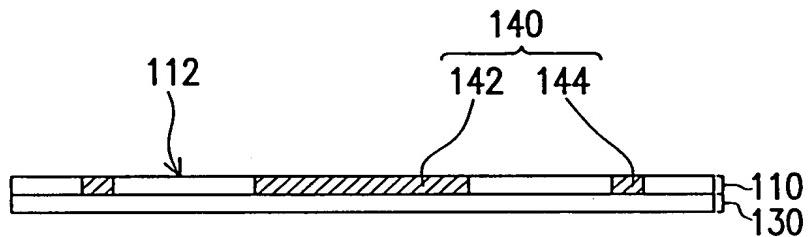
第 2 圖



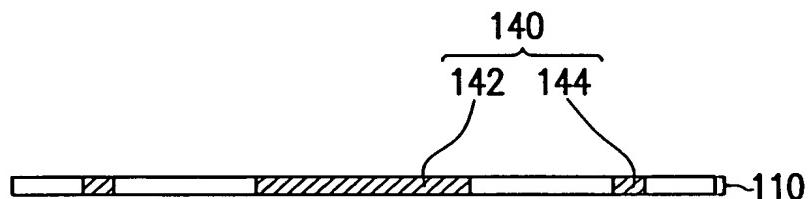
第 3 圖



第 4 圖

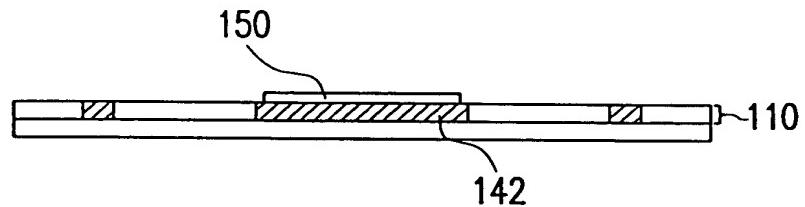


第 5 圖

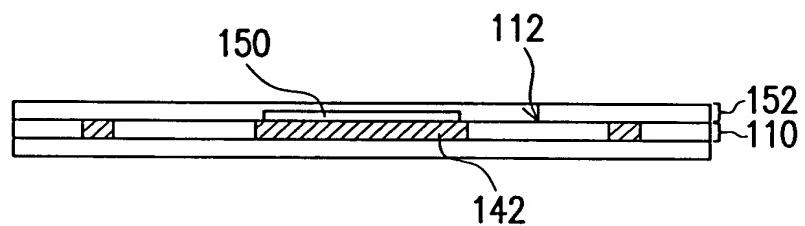


第 5A 圖

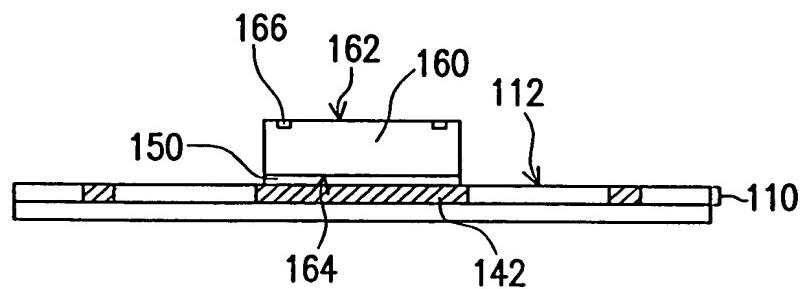
102



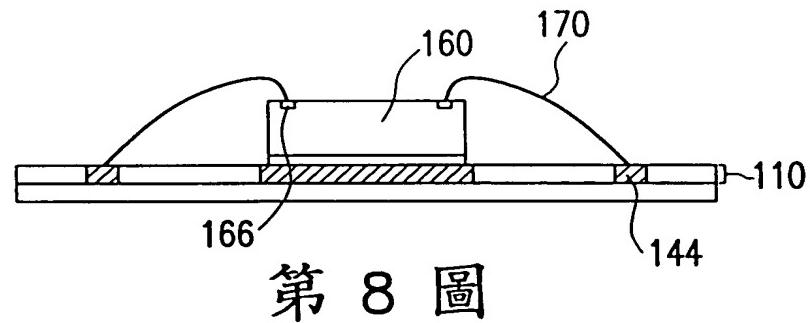
第 6 圖



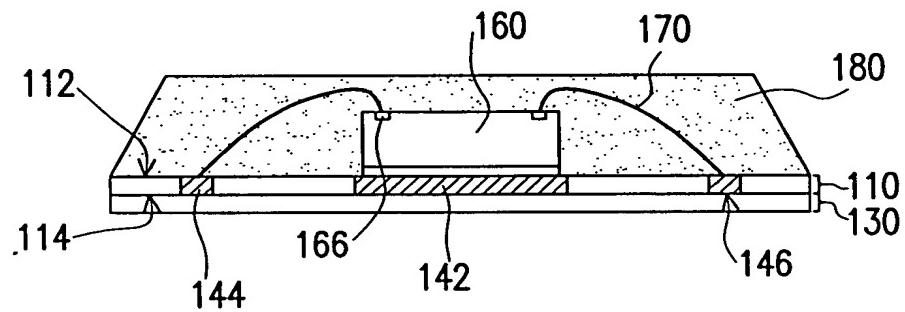
第 6A 圖



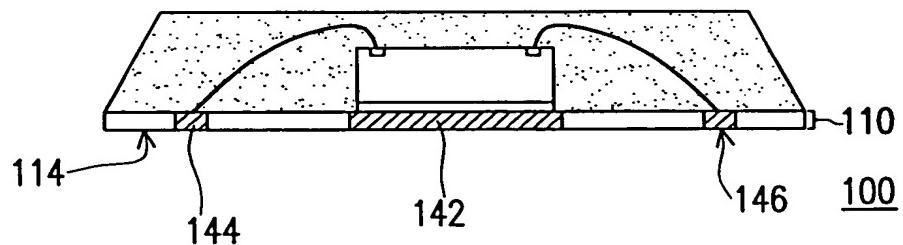
第 7 圖



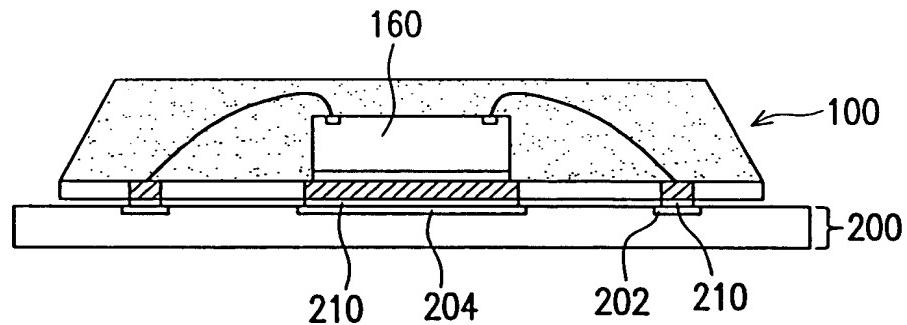
第 8 圖



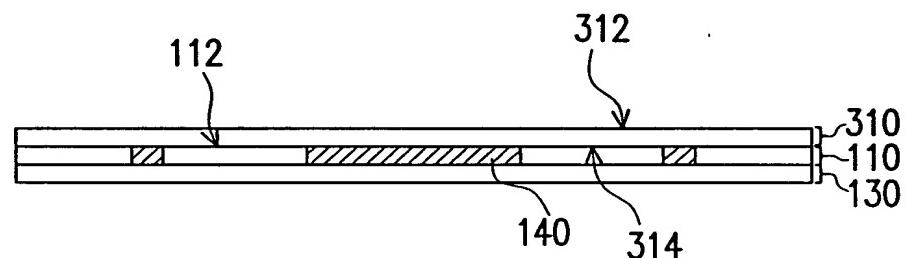
第 9 圖



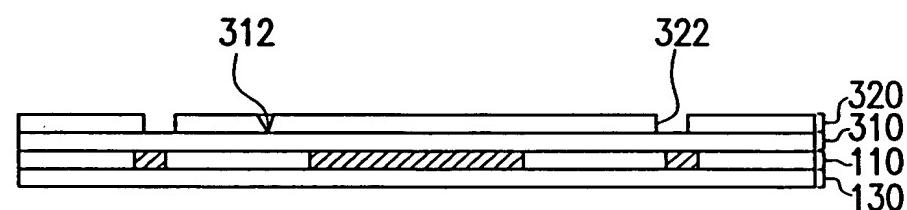
第 10 圖



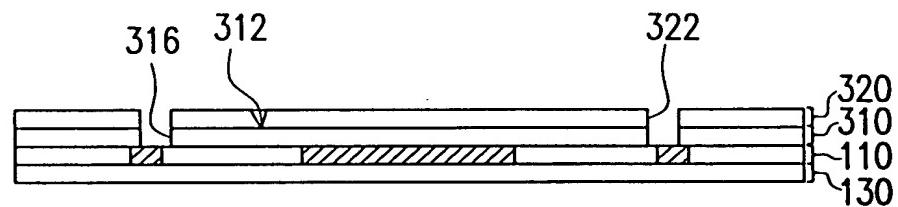
第 11 圖



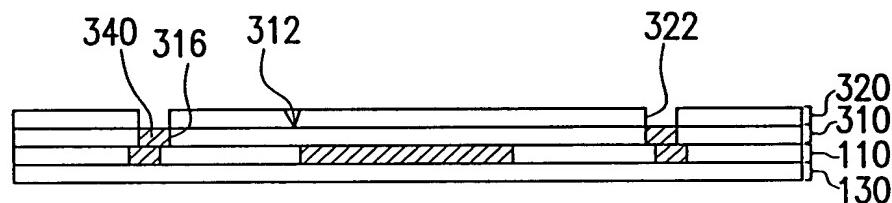
第 12 圖



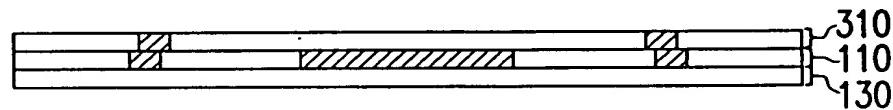
第 13 圖



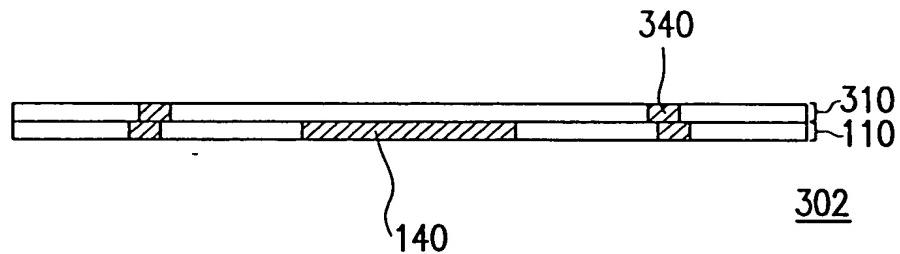
第14圖



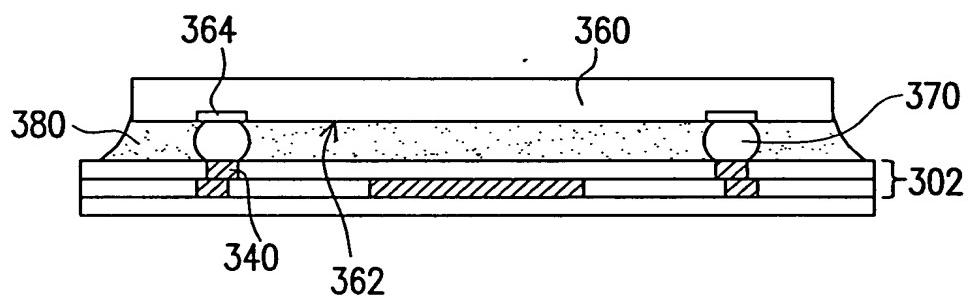
第15圖



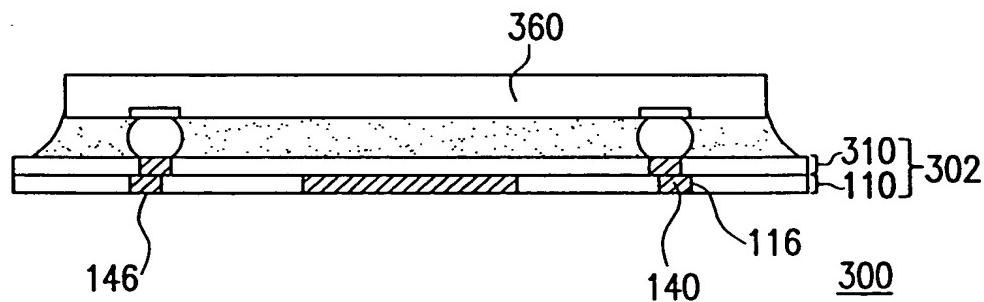
第16圖



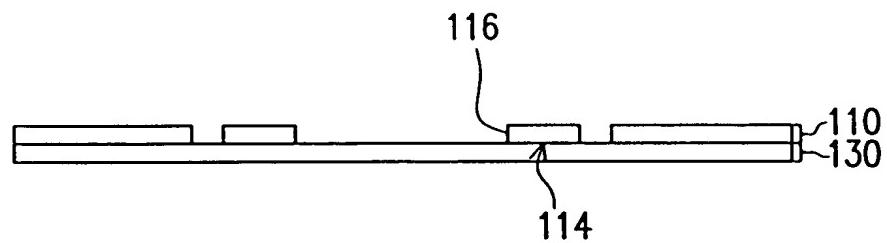
第16A圖



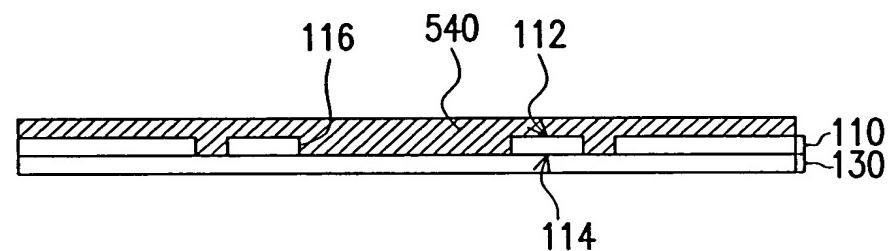
第17圖



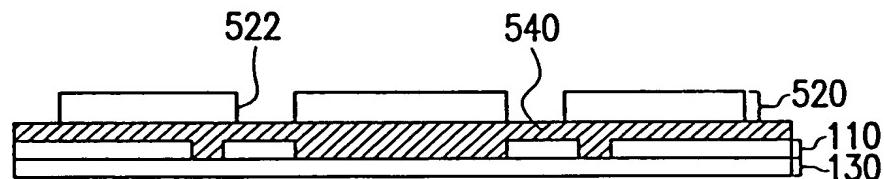
第18圖



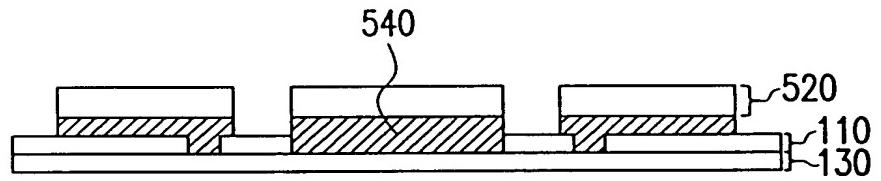
第 19 圖



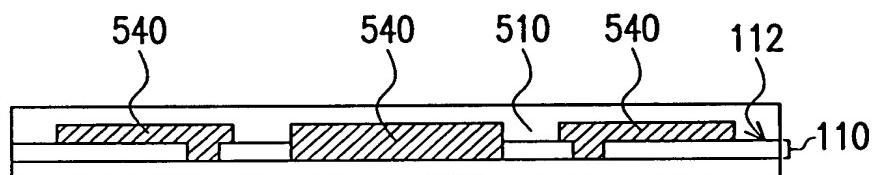
第 20 圖



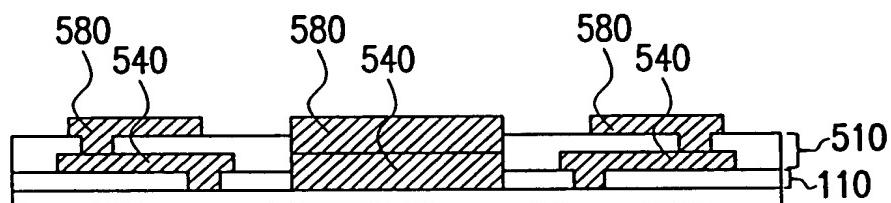
第 21 圖



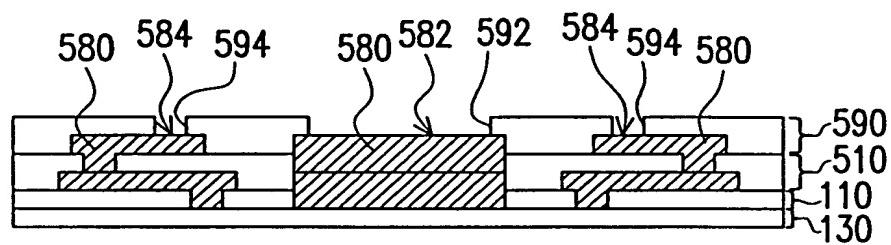
第22圖



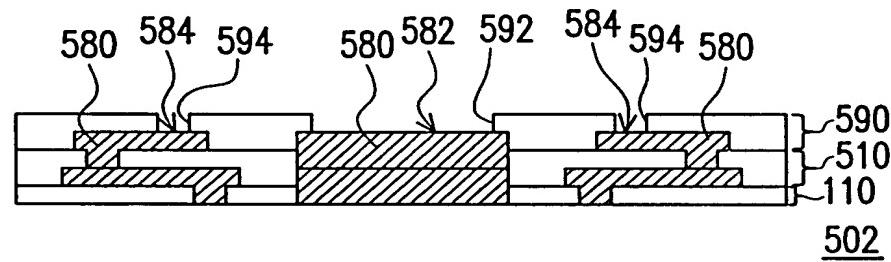
第23圖



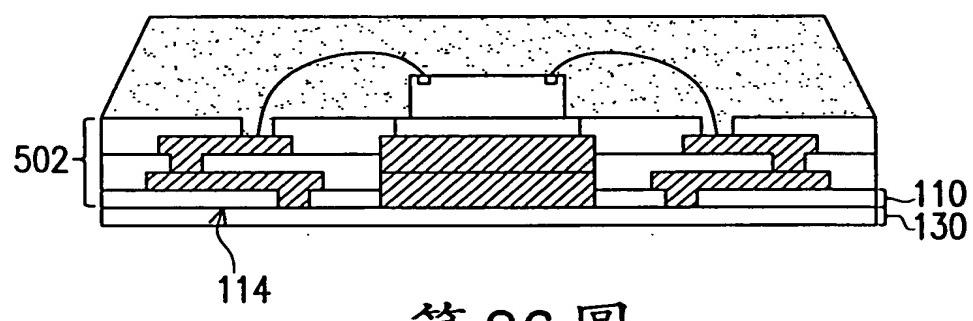
第24圖



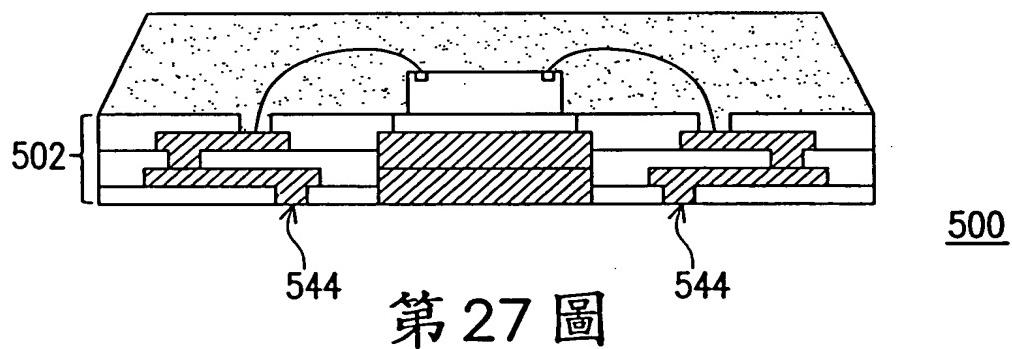
第 25 圖



第 25A 圖



第 26 圖



第 27 圖

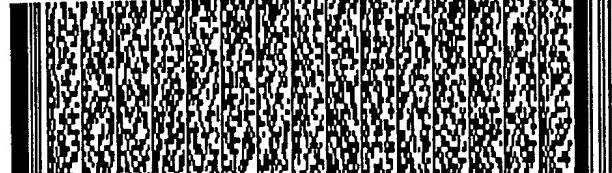
第 1/32 頁



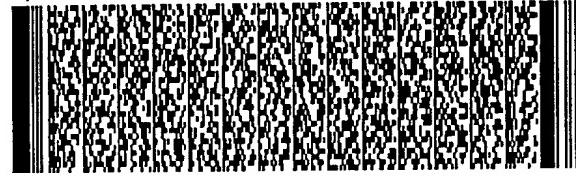
第 2/32 頁



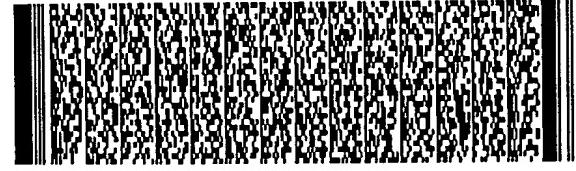
第 5/32 頁



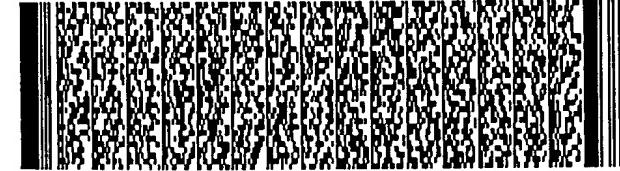
第 6/32 頁



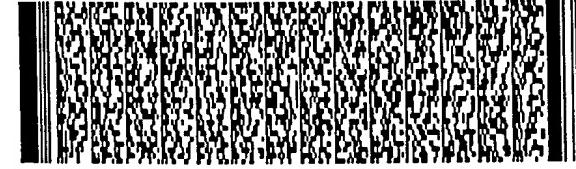
第 7/32 頁



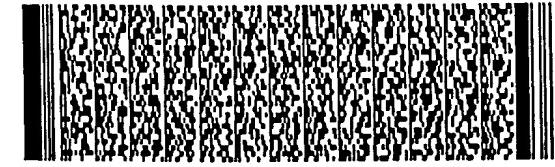
第 8/32 頁



第 9/32 頁



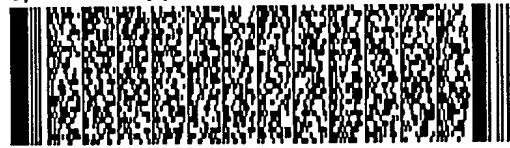
第 11/32 頁



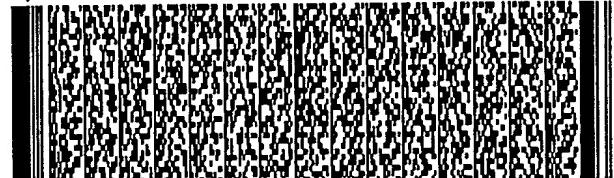
第 2/32 頁



第 3/32 頁



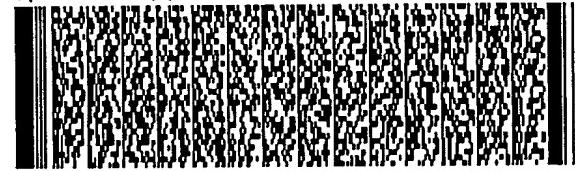
第 5/32 頁



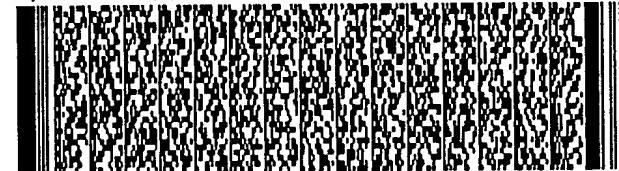
第 6/32 頁



第 7/32 頁



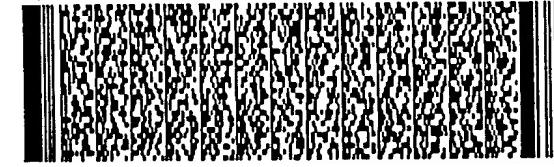
第 8/32 頁



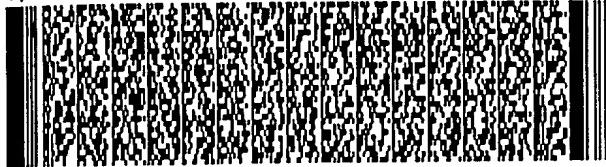
第 10/32 頁



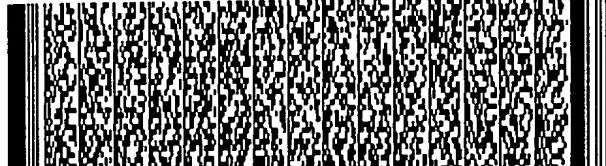
第 11/32 頁



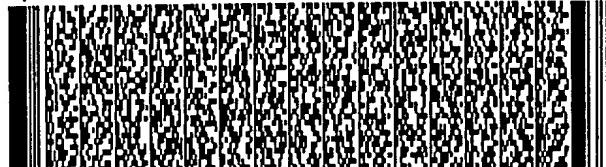
第 12/32 頁



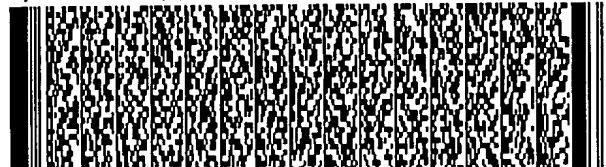
第 13/32 頁



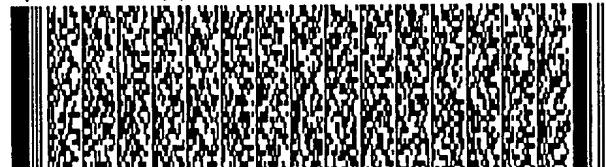
第 14/32 頁



第 15/32 頁



第 16/32 頁



第 17/32 頁



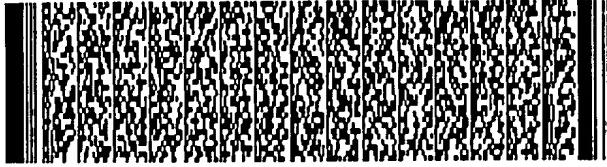
第 18/32 頁



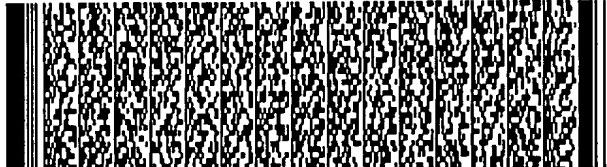
第 19/32 頁



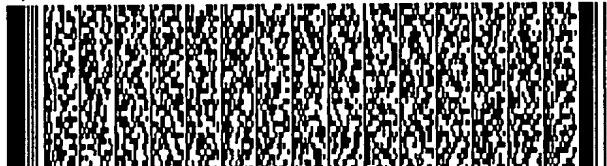
第 12/32 頁



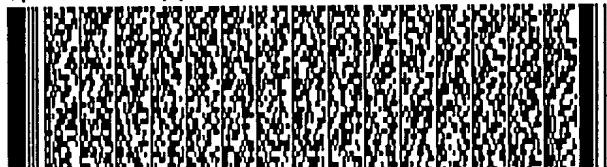
第 13/32 頁



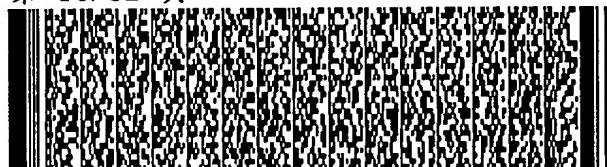
第 14/32 頁



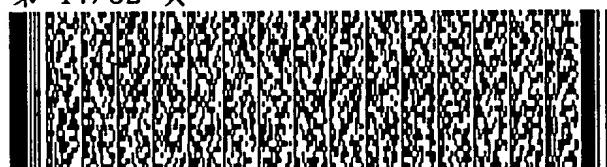
第 15/32 頁



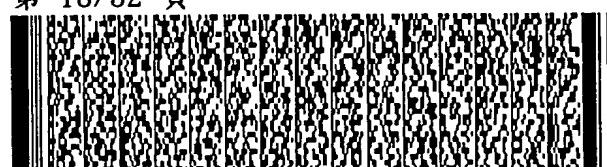
第 16/32 頁



第 17/32 頁



第 18/32 頁



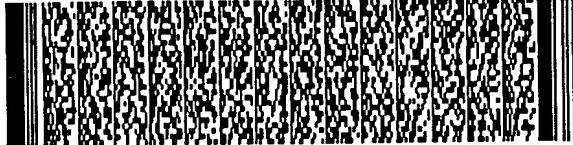
第 20/32 頁



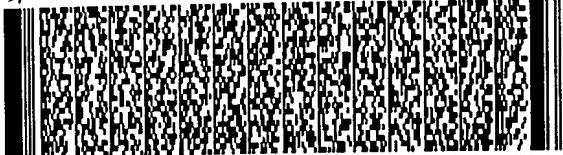
第 21/32 頁



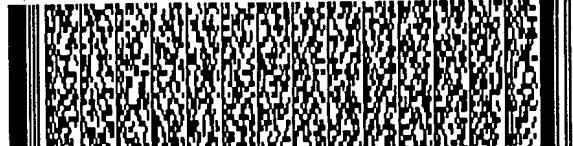
第 21/32 頁



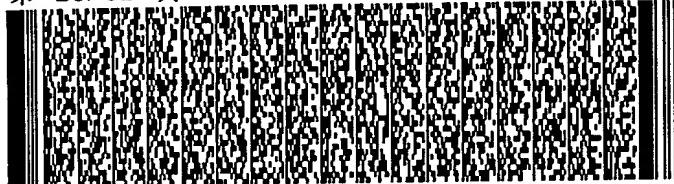
第 22/32 頁



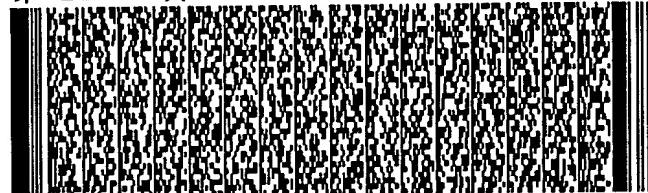
第 22/32 頁



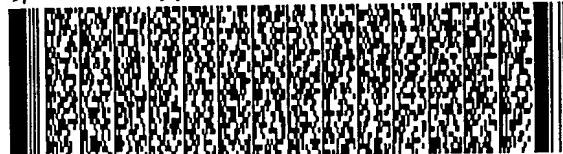
第 23/32 頁



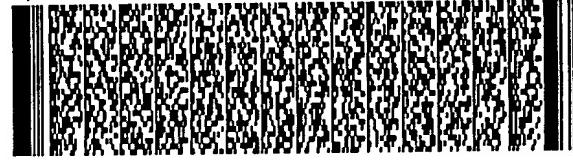
第 24/32 頁



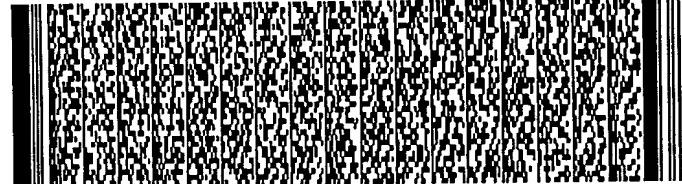
第 25/32 頁



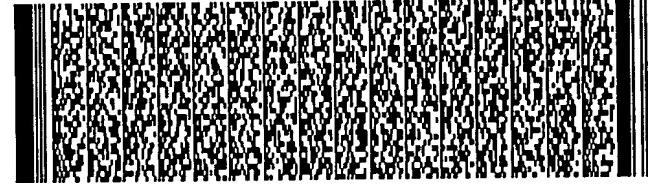
第 25/32 頁



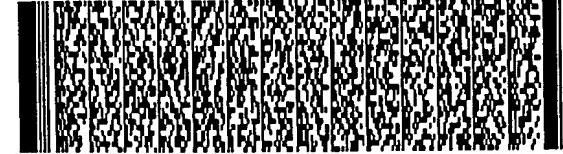
第 26/32 頁



第 27/32 頁



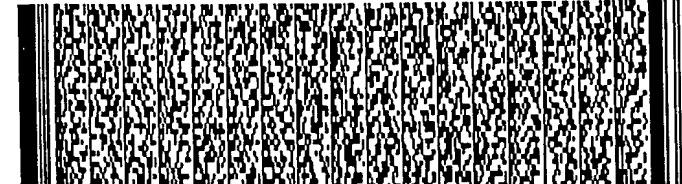
第 28/32 頁



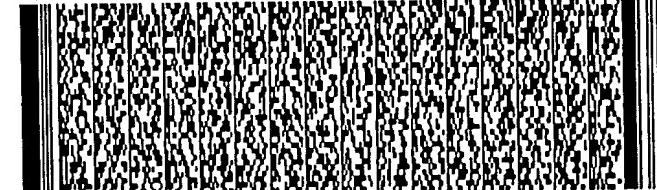
第 28/32 頁



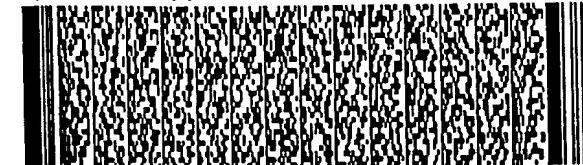
第 29/32 頁



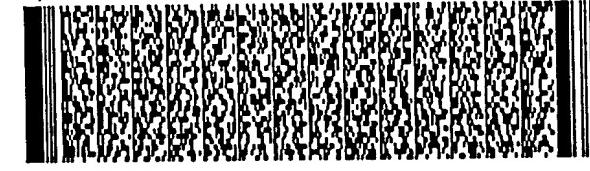
第 30/32 頁



第 31/32 頁



第 31/32 頁



申請案件名稱:封裝製程及其結構

第 32/32 頁

第 32/32 頁

